

Interfaces capteur-ordinateur

F. Bourgeois

▶ **To cite this version:**

F. Bourgeois. Interfaces capteur-ordinateur. École thématique. Ecole Joliot Curie "Instrumentation en physique nucléaire et en physique des particules", Maubuisson, (France), du 26-30 septembre 1988 : 7ème session, 1988. cel-00645641

HAL Id: cel-00645641
https://cel.hal.science/cel-00645641

Submitted on 28 Nov 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INTERFACES CAPTEUR-ORDINATEUR

F. Bourgeois

CERN, Laboratoire Européen pour la Physique des Particules, CH-1211, Genève 23, Suisse

Résumé : La description des principales méthodes de numérisation de l'amplitude et du temps est suivie d'une présentation des systèmes CAMAC, FASTBUS et VME. Le problème de l'élimination du fond et de la sélection des bonnes interactions est discuté avant de décrire l'architecture générale des systèmes d'acquisition des données.

Abstract : The description of the main Analog and Time to Digital conversion methods is followed by an overview of the CAMAC, FASTBUS and VME systems. The problem of event selection is discussed as an introduction to the general architecture of the data acquisition systems.

1. INTRODUCTION

Les détecteurs utilisés en Physique des Particules Elémentaires sont caracterisés par leur très grand nombre de canaux de mesure et la très grande quantité d'informations numériques qu'ils produisent. De ce fait, les techniques utilisées pour l'acquisition des données font appel à des technologies avancées visant a obtenir le meilleur résultat possible dans des délais aussi courts que possible.

Ces exposés ont pour but de donner une idée générale sur les principaux problèmes rencontrés à l'interface entre le capteur et l'ordinateur, à savoir :

1 – la numérisation des signaux,
2 – les standards d'acquisition des données,
3 – la sélections des événements,
4 – l'architecture des systèmes.

Les exemples et les systèmes décrits ont été très simplifiés afin de mettre en évidence les sujets traités. On trouvera une description plus détaillée de l'expérience OPAL, sur le collisionneur LEP du CERN, dans une autre partie de ce manuel. Enfin, la terminologie anglaise a été autant que possible évitée en donnant toutefois le terme original entre accolades {}.

2. NUMERISATION DE L'AMPLITUDE ET DU TEMPS

Sans faire un historique du problème, on peut dire qu'en 1975 les détecteurs étaient spécialisés et donnaient séparément le temps de passage et la quantité de charge induite par la particule élémentaire.

Depuis 1982 les informations temps et amplitude sont simultanément utilisées sur la plupart des détecteurs. (Exemple : chambres à dérive pour lesquelles le temps donne la position spatiale, et l'amplitude donne les pertes d'énergie linéiques, une meilleure résolution et une meilleure précision spatiale).

Le traitement numérique du signal, déjà très développé dans le domaine du traitement de la parole et des images, joue maintenant un rôle prépondérant dans la réduction et l'analyse des données.

La plupart des détecteurs fournissent un signal de charge proportionnel à l'ionisation primaire. Le détecteur a, en général, du gain ($10^4 \rightarrow 10^6$)

– PhotoMultiplicateur (PM) 10^6
– Fil d'une chambre 10^4

Les convertisseurs traitent des signaux qui sont une somme pondérée de signaux semblables à celui présenté dans la figure 1 . Les caractéristiques typiques de ces convertisseurs sont :

Résolution (LSB)	25 FC	(1 FC = 10^{-15}Coulomb = 60000 e^-)
Pleine échelle	1000 pC	(10^{-12}C)
Temps de montée du signal	tr ≥ 5 ns	(5 x 10^{-9}s)
Temps de descente	tf ≥ 20 ns	

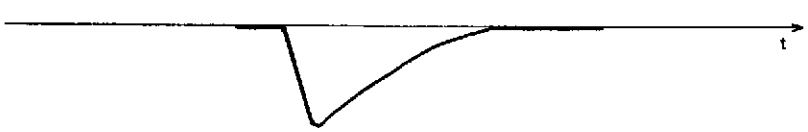


Figure 1: Forme typique d'une impulsion produite par un capteur.

2.1 LES PROBLEMES LIES A L'AMPLIFICATION

Les détecteurs utilisés dans les expériences ont souvent un gain assez faible lorsqu'on le compare aux excellentes caractéristiques d'un photomultiplicateur (gain pouvant atteindre 10^6 x). Si le rapport signal/bruit du capteur moderne reste excellent, il est souvent détérioré par l'amplificateur qui commande le convertisseur numérique. Toutefois, une conception soignée de l'ensemble capteur – amplificateur permet d'obtenir de très bons résultats (par exemple : Charge Equivalente de Bruit {ENC} de 700 électrons pour des amplificateurs rapides non refroidis et à haute densité d'intégration).

Le sujet, très vaste, ne peut pas être traité ici et le lecteur intéressé par les problèmes liés à l'amplification pourra lire les nombreux articles publiés par les concepteurs des détecteurs modernes (voir aussi les références /1,2/)

2.2 NUMERISATION DE LA CHARGE {ADC}

Les circuits classiques font toujours intervenir deux phases qui sont :

1 – l'intégration du courant du détecteur dans un condensateur C pendant le temps T d'observation (GATE) ;
2 – la mesure de la tension résultante $V = (1/C)\int_0^T idt$ aux bornes du condensateur à l'aide d'un Convertisseur Analogique Numérique CAN {ADC}, "plus ou moins" lent.

– Duré de l'intégration	≤ 2 μs
– Durée de la numérisation	30 μs typiquement

Le circuit ne pourra donc pas accepter d'autres impulsions tant que le condensateur n'aura pas été déchargé. Les transistors MOS – FET à très faible résistance de conduction permettent maintenant d'obtenir des temps de décharge rapide ≤ 500 ns.

Le convertisseur est l'élément le plus onéreux et la tendance est de le partager entre plusieurs intégrateurs ce qui a pour effet d'augmenter le temps mort par groupe de canaux. Le temps mort d'un système dépasse souvent ainsi 500 μs.

Les trois dispositifs les plus classiques sont présentés dans les Figures 2 , 3 et 4

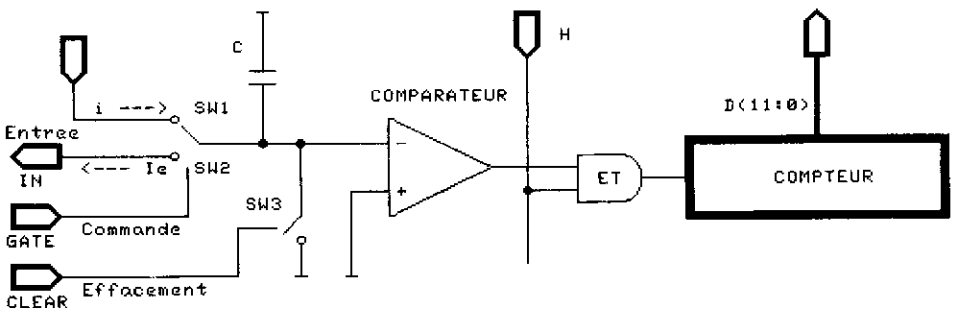


Figure 2: Schéma de principe du convertisseur Wilkinson. Lorsque le signal de commande GATE est actif, l'interrupteur SW2 est fermé et le courant d'entrée Ie traverse le condensateur C qui se charge et fait commuter le comparateur ; dès que le signal GATE redevient inactif, SW1 se referme et injecte un courant de décharge i < < Ie maintenant ainsi le comparateur actif pendant un temps proportionnel à la charge intégrée. Ce temps est mesuré à l'aide d'un compteur rapide commandé par une horloge dont la fréquence peut atteindre 400 MHz pour les systèmes les plus performants ; l'interrupteur SW3 permet d'assurer une décharge beaucoup plus rapide du condensateur lorsque cela est nécessaire.

Le convertisseur Wilkinson est aujourd'hui peu utilisé en raison du développement des Convertisseurs Analogiques Numériques à approximations successives, d'une part, et des excellentes performances obtenues avec les technologies MOS. Il est aussi d'un prix de revient élevé (500,00 Francs par canal) et on lui préfère en général le dispositif Echantillonneur Bloqueur Multiplexé soit en tension, soit en courant (voir la référence /3/).

Moins cher (200,00 Francs par canal), le multiplexage en tension présente toutefois deux inconvénients qui sont, d'une part, un risque de dérive en température et, d'autre part, la nécessité d'avoir des charges aussi peu capacitives que possible dans le multiplexeur. Un constructeur bien connu des physiciens expérimentaux lui a préféré le multiplexage en courant présenté en figure 4 .

Tous ces dispositifs sont, en général, stables, précis et linéaires. Toutefois on devra tenir compte d'un piédestal (valeur de lecture non nulle lorsqu'aucune charge électrique n'est injectée) et d'un gain par canal, donc de la nécessité de les calibrer. La gamme dynamique est en général de 12 bits (4×10^3) et la plupart des systèmes "15 bits" utilisent en fait 2 gammes de mesure 12 bits dont l'une est 8 x plus sensible. Ces convertisseurs sont utilisés en grand nombre sur les calorimètres (Verre au Pb, Sandwich Scintillateur-Pb (ou Fe), etc...)

2.3 NUMERISATION DU TEMPS {TDC}

Les convertisseurs temps numérique sont utilisés dans deux grandes catégories de mesures : pour le temps de vol des particules, avec une résolution pouvant atteindre 50 ps (50×10^{-12} s), et pour les mesures de temps de dérive des électrons dans le gaz des détecteurs, avec une résolution supérieure à 2 ns. Dans les deux cas la gamme dynamique peut être de 10 à 12 bits.

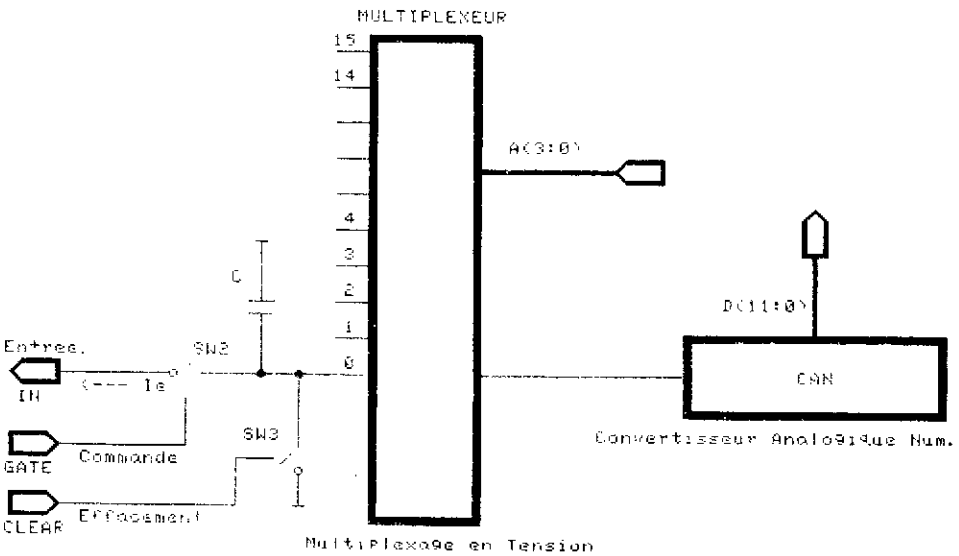


Figure 3: Schéma de principe du multiplexage en tension. Dans ce dispositif, l'interrupteur SW1 est fermé pendant la durée de l'intégration ; la numérisation des charges intégrées pour les N canaux d'un groupe se fait séquentiellement en commutant chaque condensateur sur le convertisseur à approximations successives CAN ; l'interrupteur SW3 permet de décharger chaque condensateur une fois que tous les canaux ont été numérisés.

L'impulsion électrique fournie par le détecteur doit être amplifiée puis normalisée en amplitude et en largeur à l'aide d'un discriminateur (circuit comparateur suivi d'un étage formeur donnant une durée fixe à l'impulsion). Le discriminateur doit être peu sensible aux variations d'amplitude de l'impulsion et deux types de méthodes sont utilisées pour résoudre ce problème : il s'agit de la double discrimination et de la discrimination à fraction constante (voir la référence /4/).

Tous les circuits mesurent la différence de temps entre un signal de référence, commun à plusieurs canaux, et le signal d'un capteur. Si le signal de référence arrive le premier on utilisera un circuit du type "common START" alors qu'un convertisseur "common STOP" sera utilisé dans le cas contraire.

2.3.1 Circuits à haute résolution

Dans ces circuits la différence de temps, entre l'impulsion de référence {START} et l'impulsion à mesurer {STOP} est convertie en tension à l'aide d'un convertisseur Temps Amplitude {TAC} (voir figure 5).

La tension aux bornes du condensateur est alors numérisée à l'aide d'un convertisseur analogique numérique (CAN) tel que ceux qui ont été présentés ci-dessus. Le convertisseur temps amplitude ne permet pas de mesurer plus d'une différence de temps par canal, en tout cas d'une façon simple, et il est souvent nécessaire de mesurer l'amplitude du signal venant du capteur afin de pouvoir corriger les imperfections du discriminateur ; de plus, ce type de circuit doit être calibré pour connaître l'origine des temps et le facteur de conversion.

Principalement utilisé pour les mesures de temps de vol, ce type de circuit peut avoir une résolution de 50 ps.

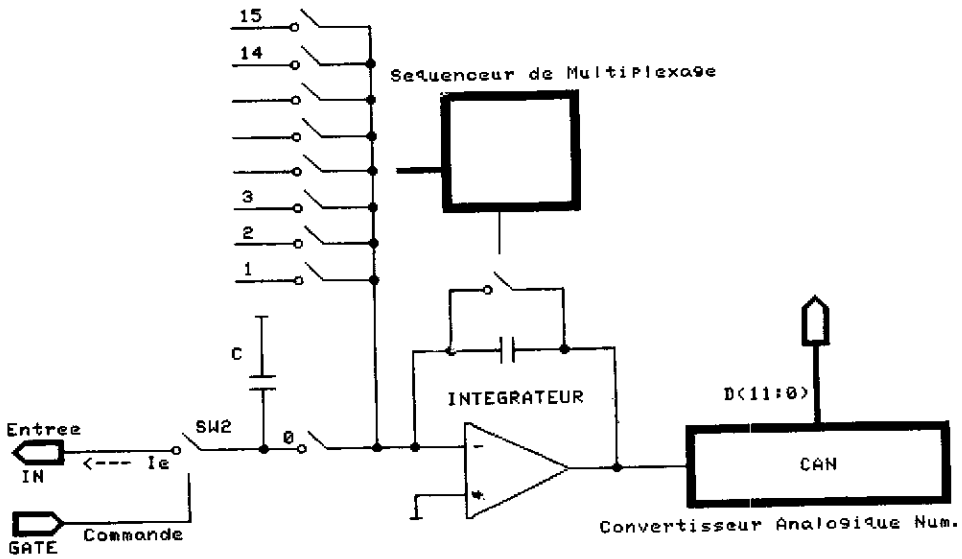


Figure 4: Schéma de principe du multiplexage en courant. Dans le multiplexage en courant, chaque condensateur est séquentiellement déchargé dans un intégrateur commun aux N canaux de mesure ; ce circuit est en principe moins sensible aux variations de température et aux capacités parasites.

2.3.2 Les circuits entièrement numériques

Ils permettent de mesurer l'instant d'arrivée des impulsions d'un "train" pratiquement sans temps mort et avec une résolution minimale de 1 à 2 ns (Très utilisés pour les temps de dérive).

Deux méthodes sont appliquées pour ce type de circuit : le registre à décalage (voir figure 6) et la lecture "au vol" d'une horloge numérique (voir figure 7).

Ces types de circuits peuvent être pilotés par des horloges stables et ne nécessitent pas, en général, de calibration du facteur de conversion. Les registres à décalage sont toutefois d'une lecture assez lente car il est nécessaire de parcourir le registre pour retrouver les impulsions. Dans leur principe, ces circuits ne présentent aucun temps mort autre que celui de la lecture.

2.4 NUMERISATION AVEC ECHANTILLONAGE

Elle permet de numériser la forme du signal avec une résolution en temps pouvant atteindre 5 ns et une précision sur l'amplitude de l'échantillon comprise entre 6 et 9 bits ; de plus, la fenêtre d'échantillonnage peut avoir une durée inférieure à 100 ps permettant ainsi un traitement digital précis du signal numérisé. Il est intéressant de situer quelques dates.

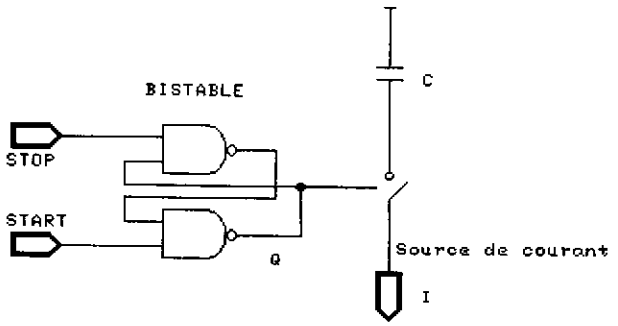


Figure 5: Schéma de principe d'un convertisseur Temps Amplitude. La source de courant I est appliquée sur le condensateur C pendant la différence de temps qui sépare le signal START du signal STOP. La tension aux bornes du condensateur est alors proportionnelle à cette différence de temps.

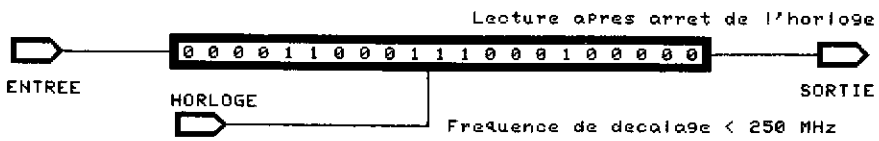


Figure 6: Un registre à décalage peut être utilisé pour numériser les instants d'arrivée des impulsions. Il fonctionne dans le mode "common STOP" et la lecture se fait après arrêt de l'horloge.

Les premiers registres à couplage de charge (CCD), et les "Bucket Brigade Device" BBD sont mis au point en 1970 ; le BBD sera vite abandonné et c'est en 1978 que 17000 canaux de CCD seront utilisés pour la première fois sur un grand détecteur (chambre à projection de trace TPC de PEP-4 à Berkeley/SLAC, USA) ; enfin, les premiers convertisseurs FLASH ADC rapides (30 MHz 6 bits) sont mis en service en 1980 sur l'expérience UA-1 au collisionneur $\bar{p}p$ du CERN.

Les convertisseurs Flash sont présentés par un autre auteur dans ce manuel et on se limitera ici à une comparaison avec les circuits analogiques disponibles sur le marché. C'est en 1985 que les premiers cicuits AMU (Analog Memory Unit) ont été essayés au laboratoire de Stanford. Concurrent direct du CCD présenté en figure 8, l'AMU permet un échantillonnage à des fréquences beaucoup plus élevées tout en ayant un temps de lecture beaucoup plus court. La cellule de base de l'AMU est présentée en figure 9 et le circuit global en figure 10 ; on en trouvera une description détaillée dans les références /5,6/. Les performances de ces circuits peuvent atteindre :

- CCD 50 MHz, 320 échantillons, 11 bits ;
- AMU (Analog Memory Unit) 150 MHz, 256 échantillons, 11 bits ;
- Flash 100 MHz, 1024 échantillons, 8 bits.

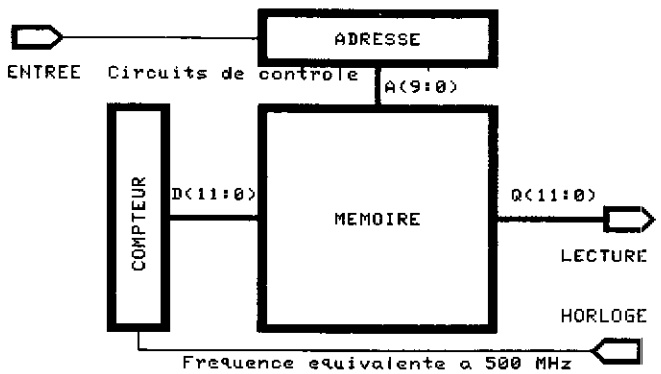


Figure 7: Une mémoire peut être utilisée pour ranger directement les valeurs numériques des temps d'arrivée des impulsions.

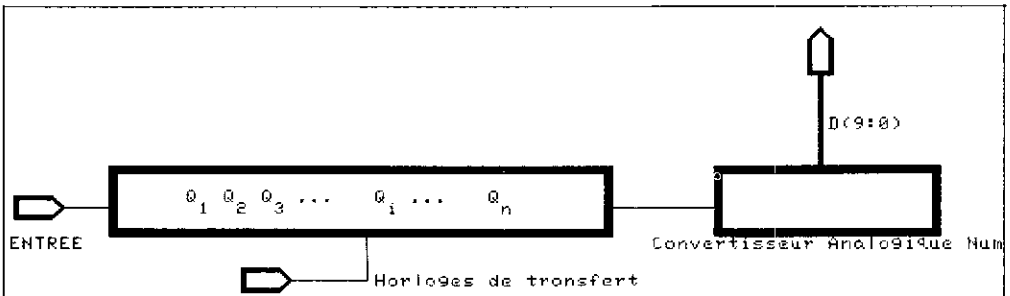


Figure 8: Le CCD ou registre à transfert de charge est un regitre à décalage analogique rapide (50 MHz) mais sa lecture est lente et coûteuse si on veut avoir 10 bits de précision. Deux (ou trois) horloges assurent le déplacement des charges échantillonnées à l'entrée.

L'échantillonnage par convertisseur Flash-ADC est très intéressant car la numérisation du signal se fait "au vol" avant stockage dans une mémoire dont on peut, dans certaines limites, choisir la dimension. Les convertisseurs de ce type sont d'une utilisation très souple et permettent un traitement numérique du signal avec rangement sélectif dans la mémoire. Bien qu'ils aient une précision limitée, on rappellera toutefois que la relation entre la mesure **x**, la tension d'entrée V et la tension de référence V_r, $x = V/V_r$ montre qu'il est possible d'utiliser le circuit pour effectuer un traitement non-linéaire du (des) signal(aux) d'entrée.

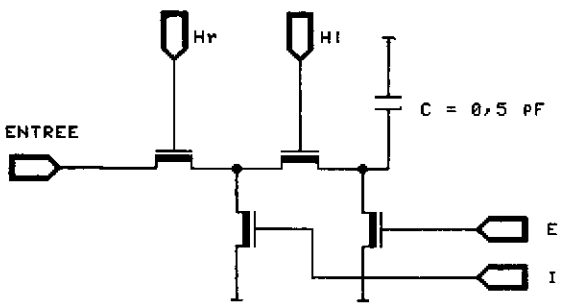


Figure 9: La cellule de base de l'AMU est en technologie NMOS 3 µm. Quatre interrupteurs MOS sont utilisés par condensateur de 0,5 pF .Les deux horloges H_r (rapide) et H_l (lente) assurent l'échantillonnage ; les signaux I (inhibition) et E (effacement) sont utilisés en dehors de l'échantillonnage.

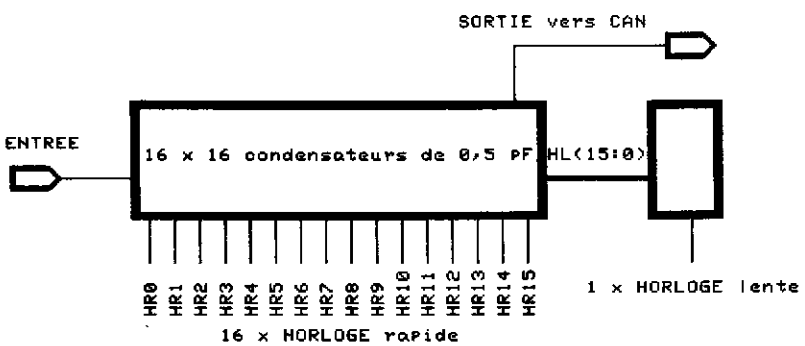


Figure 10: Le circuit AMU utilise 16 horloges rapides et une horloge lente pour commuter l'entrée sur l'une des 16 x 16 capacités de stockage. Très rapide (150 – 200 MHz), le circuit présente un certain nombre de défauts si on veut obtenir une précision supérieure à 6 bits. L'AMU a besoin de 40 lignes de contrôle et il lui faut aussi 3 paramètres de linéarisation par cellule ! Néanmoins c'est le seul circuit disponible offrant une telle précision (potentielle !) et une telle rapidité.

2.5 NOMBRE DE CANAUX ET QUANTITE DE DONNEES

2.5.1 ADC à intégration de charge (Calorimètres)

Les expériences utilisent en général de quelque milliers à 100 000 canaux pour les plus grandes. On a une information par canal mais quelques pourcents des canaux seulement ont une mesure dépassant le piédestal. Il faut donc en principe :

- mesurer le piédestal,
- calibrer,
- éliminer les canaux vides pour chaque événement transféré dans l'ordinateur en-ligne.

2.5.2 TDC (Compteurs temps de vol, chambres à dérive)

Le nombre de canaux dépasse rarement 1000 dans le cas des détecteurs de temps de vol mais il peut atteindre plusieurs dizaines de milliers pour les chambres à dérive. Les problèmes à résoudre sont comparables à ceux de l'ADC.

2.5.3 Convertisseur FLASH, CCD et AMU

A tous les problèmes des ADC classiques s'ajoute celui de la très grande quantité d'informations qu'ils produisent. En effet si on a N canaux, une fréquence d'échantillonnage F et un temps de mémoire T, il faudra traiter N x F x T octets d'information à chaque événement :

Exemple :
OPAL (CERN-LEP 1988)
N = 13.000, F = 100 MHz, T = 5 μs
$13.10^3 \times 10^8 \times 5.10^{-6} = 6.5$ MegaOctets

2.5.4 Conclusion

Les grandes expériences produisent de nos jours des quantités énormes d'informations qui doivent être réduites et traitées rapidement entre le capteur et l'ordinateur. Il est donc nécessaire d'**avoir des standards d'acquisition de données puissants et rapides.**

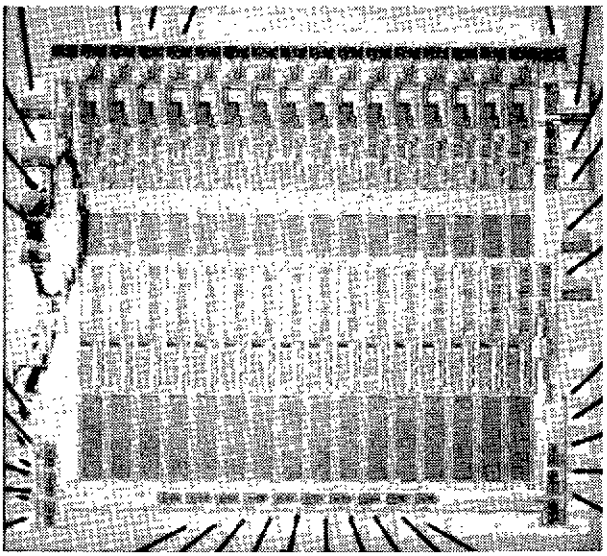
2.6 LES TECHNOLOGIES

La chaine amplification-numérisation-lecture fait intervenir des technologies parfois très différentes.

Les amplificateurs de charge rapides et à faible bruit font le plus souvent intervenir des composants discrets. Toutefois, les concepteurs développent de plus en plus de circuits intégrés spécifiques (ASIC) en technologie CMOS ce qui permet de monter la plus grande partie de l'électronique sur le détecteur lui même. Un exemple en est présenté en figure 11 . Une description plus détaillée peut être trouvée dans la référence /7/.
Les circuits de numérisation utilisent les technologies adaptées aux performances demandées : le MOS pour la plupart des convertisseurs analogiques, les circuits Logiques à Couplage d'Emetteur (ECL) pour les systèmes rapides (50 MHz et plus).

Les circuits logiques en technologie TTL sont toujours très utilisés dans les systèmes de lecture et à l'interface avec l'ordinateur hôte.

Les composants sont assemblés sur des circuits imprimés, parfois multicouches, à moins qu'une grande densité soit nécessaire ; dans ce cas, on utilise la technique des composants montés en surface (SMD) ou les circuits hybrides en couche épaisse ou mince. Deux exemples de petits circuits montés directement sur les détecteurs sont présentés en figure 12 .



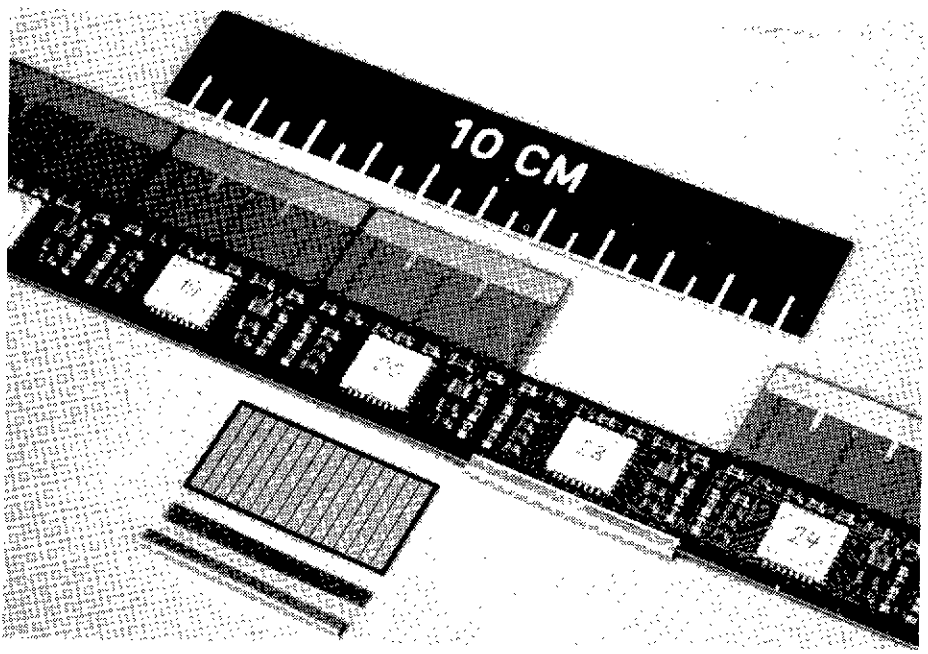


Figure 11: Le circuit Amplex comprend 16 canaux amplificateurs-intégrateurs sur une "puce" de silicium de 4,3 mm de côté (en haut de la figure). Le montage du circuit sur le détecteur de vertex du projet UA – 2 au CERN est visible en bas de la figure. La photo montre, en face du circuit No 20 et au premier plan, le détecteur au silicium qui est normalement replié sous la carte électronique comme on peut le voir pour le circuit No 23.

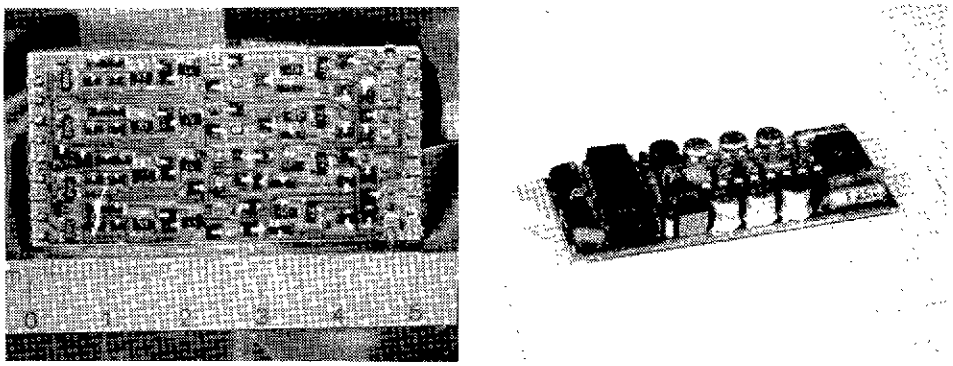


Figure 12: Photographies d'un quadruple amplificateur en technologie hybride couches épaisses, à gauche, et d'un double intégrateur en composants discrets, à droite.

3. LES STANDARDS D'ACQUISITION DE DONNEES

3.1 INTRODUCTION

Les canaux de mesure décrits ci-dessus sont en général implantés dans des MODULES dont les dimensions, et le protocole de commande sont standardisés. Les modules prennent place dans des CHASSIS {CRATES} munis d'une Interconnexion Fixe {backplane or crate segment}. Les chassis sont montés dans des BAIES {RACKS} et une Interconnexion Câble {cable segment} peut relier les chassis entre eux formant ainsi un ou plusieurs Arbres {Trees} permettant de tranférer les données vers un ORDINATEUR EN LIGNE {ON-LINE COMPUTER}. La figure 13 présente une arborescence de ce type à deux branches.

Les systèmes peuvent atteindre de très grandes dimensions et des ensembles de 200 à 300 chassis sont maintenant courants.

L'utilisation d'un standard permet surtout de se libérer d'une grande partie des problèmes d'entretien et facilite l'évolution du système avec le temps. De plus, l'uniformisation des protocoles de lecture et d'écriture simplifie le logiciel résidant sur l'ordinateur hôte.

Trois standards sont actuellement utilisés pour l'acquisition des données en physique des particules. Ce sont :

1 – le CAMAC introduit en 1970 ;
2 – le VME introduit en 1981 ;
3 – le FASTBUS introduit en 1982 (début des travaux de spécification en 1978)

Ces standards sont définis mécaniquement et électriquement dans des documents très détaillés dont il faut absolument respecter les règles. Il n'est donc pas possible de donner ici une description complete de ces trois systèmes maintenant très répandus ; on se limitera à une description des principales fonctions suivie d'une présentation sommaire de ces trois standards.

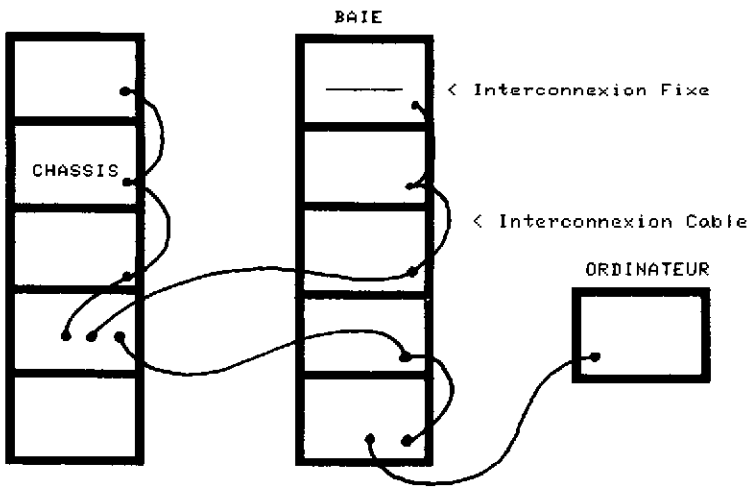


Figure 13: Les différents composants d'une arborescence d'acquisition des données.

3.2 PRINCIPALES FONCTIONS DES INTERCONNEXIONS

Une interconnexion est un faisceau de lignes permettant de véhiculer des données et des commandes entre deux ou plusieurs élements du système. Tout échange de donnée nécessite au moins deux types d'informations qui sont l'ADRESSE et la DONNEE.

L'adressage permet d'accéder à un élement du système et il peut être :

- en DIFFUSION, c'est à dire imposé à tous les élements de l'interconnexion ;
- GEOGRAPHIQUE, c'est à dire en correspondance avec la position physique sur l'interconnexion ;
- SECONDAIRE, auquel cas il correspond à une adresse interne propre à l'élement sélectionné ;
- LOGIQUE ; dans ce dernier cas, l'élement qui voit l'adresse ne répondra que si la valeur affichée sur le segment se trouve dans le champ des adresses qui lui ont été précédemment allouées.

L'ordinateur hôte configure le système en utilisant successivement l'adressage en diffusion, pour initialiser tous les éléments du système et obtenir une carte de leur position géographique, l'adressage géographique puis l'adressage secondaire pour définir les champs d'adresses logiques alloués à chaque élement.

Les modules contenant les canaux de mesure n'utilisent toutefois pas toujours l'adressage logique afin de simplifier le matériel et d'en réduire le coût.

Le nombre de lignes disponibles étant en général limité, on peut distinguer deux grandes classes d'interconnexions : les interconnexions MULTIPLEXEES, dans lesquelles adresse et donnée utilisent les mêmes lignes physiques et les interconnexions non-multiplexées dans lesquelles ces deux informations circulent sur des groupes de lignes indépendants.

Une opération de transfert entre deux éléments du système pourra être SYNCHRONE ou ASYNCHRONE. Dans une interconnexion synchrone, l'échange d'une donnée se fait en respectant un chronogramme fixe et défini

par la spécification elle même (une horloge distribuée à tous les modules par exemple), donc indépendemment des caractéristiques propres au matériel intervenant dans l'échange. Dans un protocole asynchrone, les modules s'interrogent et répondent en échangeant un signal de synchronisation avec un signal d'acceptation et en respectant leur vitesse propre.

Deux paires de lignes sont en général nécessaires : une pour la synchronisation de l'adressage, l'autre pour la synchronisation du transfert de donnée.

On peut illustrer une transaction à l'aide de l'exemple de la communication téléphonique. Dans ce type de dialogue on notera que l'un des interlocuteurs prend l'initiative d'utiliser la ligne (l'interconnexion) et qu'il doit au préalable s'assurer qu'aucune autre communication n'est en cours : c'est le MAITRE {Master} de l'échange ; il doit ensuite composer le numéro (l'ADRESSE) de son interlocuteur qui se trouve en situation d'ESCLAVE {Slave} avec néanmoins la liberté de ne pas répondre. Le dialogue (échange d'informations) prend alors place sous controle de l'appelant (le Maître) : celui-ci pose des questions à l'appelé (l'Esclave) qui confirme la bonne réception de la demande tout en y répondant. Pendant toute la durée de la transaction, la ligne est verrouillée jusqu'à ce qu'un échange standardisé permette de libérer l'interconnexion (ici la ligne téléphonique) de façon sûre (par exemple : "au revoir", "je raccroche").

Tout module qui en possède la fonctionnalité peut devenir MAITRE à condition d'avoir obtenu le contrôle de l'interconnexion en ayant participé à un processus d'ARBITRAGE. Dans la suite de l'exposé, le terme Maître sera utilisé pour désigner un module de ce type, qu'il aît, ou non, le contrôle de l'interconnexion.

L'arbitrage par marcottage est l'un des plus répandus dans les systèmes informatiques : il est présenté en figure 14 et fait intervenir un module ARBITRE placé à une extrémité de l'interconnexion. La ligne omnibus de demande BR {Bus Request} peut être activée par un ou plusieurs demandeurs {Requester} auxquels l'Arbitre répond en activant sa ligne d'octroi BG_{out} {Bus Grant} qui est "marcottée" de module en module sur deux contacts indépendants : BG_{in} et BG_{out}. Le premier module de la chaîne qui reçoit un signal sur son entrée BG_{in} sait qu'il peut prendre le contrôle de l'interconnexion, c'est-à-dire devenir Maître, et il ne transmettra le signal d'octroi sur sa sortie BG_{out} que lorsqu'il aura terminé l'opération qu'il souhaite exécuter, permettant ainsi à un autre Maître d'intervenir sur le bus.

Cette technique d'arbitrage a l'inconvénient d'imposer que toutes les liaisons BG_{in}-BG_{out} situées entre l'Arbitre et le Demandeur soient actives, ce qui interdit de laisser vides les positions correspondantes lorsqu'en pratique on installe des modules sur l'interconnexion. De plus, elle introduit une priorité géographique (proximité de l'Arbitre) qui peut être un inconvénient dans certains cas.

L'arbitrage distribué n'utilise aucun marcottage et il préserve le caractère "omnibus" pour toutes les lignes de l'interconnexion. Le lecteur pourra en trouver une description détaillée dans la référence /8/.

Le module Maître ayant le contrôle, il peut alors présenter à tous les esclaves une Sélection de Mode MS, une adresse A et un signal de synchronisation AS ; l'Esclave qui voit que le type d'adressage indiqué par MS lui est connu et que la valeur affichée A existe dans son champ d'adressage, confirmera en activant le signal d'acceptation d'adresse AK {Acknowledge}.

L'interconnexion est alors "verrouillée" {interlocked} et le transfert de donnée(s) peut faire du Maître vers l'Esclave, ou inversement, à l'aide de deux autres lignes de synchronisation : DS {Data Strobe}, synchronisation du Maître, et DK {Data acKnowledge} acceptation de l'Esclave.
De plus, l'Esclave donnera au Maître des informations d'état SS {Slave Status} à chaque transfert (par exemple : "occupé", "fin de bloc", "opération illégale" etc ...).

La figure 15 illustre le transfert d'une donnée de l'Esclave vers le Maître dans le cas d'une interconnexion multiplexée.

Une dernière fonction doit être citée : il s'agit de l'INTERRUPTION qui permet à un module (maître ou esclave) de signaler ou de demander une action à un Maître. Bien que les techniques de gestion d'une interruption sur l'interconnexion soient semblables à celles de l'arbitrage, il y a lieu de retenir que la finalité en est différente dans la mesure où elle n'entraîne pas forcément une prise de contrôle de l'interconnexion.

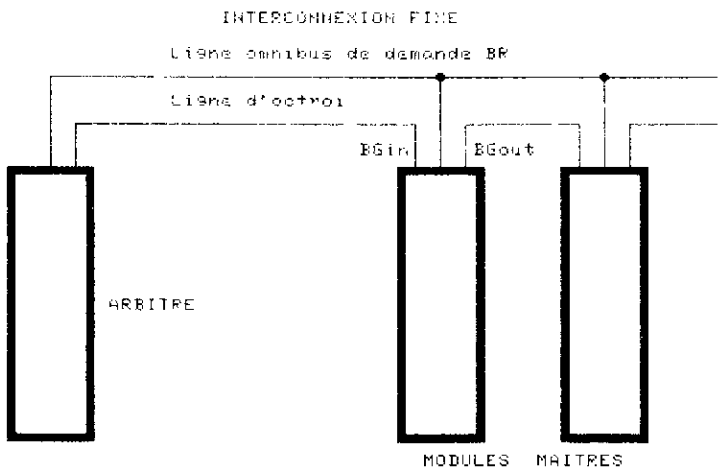


Figure 14: Dans l'arbitrage par marcottage, le demandeur ne peut devenir Maître de l'interconnexion que s'il reçoit le signal d'octroi sur son entrée BG_{in}

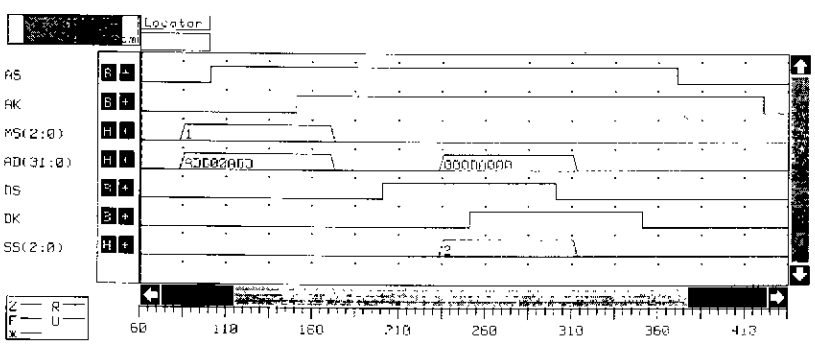


Figure 15: Chronogramme du transfert d'une donnée dans une interconnexion multiplexée asynchrone.

On terminera cette suite de définitions en notant qu'un bon standard d'acquisition de données devra au minimum disposer :

1 – d'une puissance électrique suffisante en ± 5V ± 15 (24 ou 12) V,
2 – d'une vitesse de transfert élevée,
3 – d'une interconnexion câble,
4 – d'un adressage géographique.

Le dernier point est souvent négligé car il n'est en effet pas concevable d'avoir à afficher une adresse logique par module installé (plusieurs milliers!) lors de la mise en place du système. D'autre part, il y a toujours une correspondance directe entre la position géographique du module et les numéros des canaux qu'il contrôle dans le détecteur.

3.3 LE CAMAC

C'est le plus ancien des standards d'acquisition des données et il est défini par deux documents du Comite ESONE : le chassis et l'interconnexion fixe {DATAWAY} dans la référence EUR 4100, le contrôleur de chassis et l'interconnexion cable {BRANCH HIGHWAY} dans la référence EUR 4600. La technologie TTL est utilisée sur les deux types d'interconnexions.

Bien que la possibilité d'ajouter des processeurs distribués ait été introduite ultérieurement (contrôleur A2), il n'y a qu'un seul maître possible par système : il s'agit de l'interface avec l'ordinateur hôte. Tout module d'un système CAMAC est donc un Esclave.

L'interconnexion fixe est synchrone, non-multiplexée et le séquenceur se trouve dans le contrôleur de chassis. Chaque chassis a 25 stations numérotées de 1 à 25 et adressées au moyen d'une ligne individuelle N entre la station et la position contrôleur ; il s'agit donc d'un adressage géographique.

Le contrôleur de chassis adapte le protocole asynchrone multiplexé de l'interconnexion câble à celui du chassis.

En bref, on a :

- 23 modules par chassis ;
- un contrôleur par chassis assurant la liaison avec l'interconnexion câble (Branch Highway) ;
- un Adressage Géographique N ;
- 16 registres possibles par station, aux sous–adresses A(0) → A(15) (adressage secondaire) ;
- 32 commandes possibles F(0) → F(31) par registre ;
- 24 lignes de lecture R1 → R24 ;
- 24 lignes d'écriture W1 → W24 ;
- 2 lignes d'état X (commande acceptée) et Q (état résultant de l'opération) ;
- 1 ligne d'appel géographique L par station ;
- 2 lignes d'adressage en diffusion C (effacement) et Z (initialisation).

Deux lignes omnibus d'horloge sont utilisées par le contrôleur : S1 pour échantillonner les données et les états sur l'interconnexion, S2 pour provoquer des changements d'état dans les modules.

Bien que le temps de cycle d'une opération soit de 1μs, il est en pratique difficile de transférer des données à une vitesse supérieure à 1,5 MégaOctets par seconde.

La norme ne prévoit aucun mode de transfert de bloc de données sinon par répétition des commandes et analyse de la réponse Q. De plus, tous les modules peuvent en principe interrompre l'ordinateur hôte au moyen de la ligne L mais sans vectorisation de la source d'interruption, ce qui rend les processus d'identification laborieux. Ces inconvénients ont été résolus en dotant les interfaces CAMAC d'une certaine intelligence.

Très critiqué CAMAC s'est néanmoins révélé être bien adapté à tous les problèmes rencontrés dans les expériences et il sera certainement encore très utilisé dans les années à venir. Quantitativement, ses caractéristiques sont les suivantes :

- puissance disponible de 500 à 750 Watts par chassis sur ± 6 et ± 24 Volts ;
- 48 canaux ADC par module ;
- 8 canaux TDC par module ;
- 2 à 8 canaux Flash ADC par module ;
- 16 à 32 échelles de comptage par module.

Les principales limites du CAMAC viennent du faible nombre de chassis par branche (7), de la lenteur des transferts de données, de la complexité du système d'interruptions et de la difficulté qu'il y a d'introduire des processeurs distribués (cf. contrôleur A2).

3.4 LE FASTBUS

Ce standard a été crée au début des années 80 pour répondre aux besoins en traitement distribué de l'information, puissance électrique et vitesse de transfert élevées (utilisation de la technologie ECL). On en trouvera une description détaillée en référence /8/.

L'étude a été menée depuis 1978 par les Etats Unis avec participation de l'Europe, dans un souci d'homogénéité et de simplicité, malgré la complexité des problèmes à résoudre, et en vue de donner au standard le plus grand avenir possible.

Bien que l'idée de processeur "intelligent" soit présente à tous les niveaux de la spécification, une utilisation simple et peu coûteuse du Fastbus est toujours possible (exemple : "à la CAMAC")... ce que ses détracteurs oublient trop souvent.

On trouvera ci-dessous les principales caractéristiques de ce standard.

Il s'agit d'une interconnexion asynchrone, multiplexée, de 32 bits, qui existe sous deux formes : le segment chassis et le segment câble. Le protocole est logiquement le même pour les deux types d'interconnexions et tous les types d'adressage connus sont disponibles : Géographique (le plus simple), Diffusion, Secondaire (2^{32} adresses par module) et Logique (2^{32} adresses par système).

Les trois lignes de sélection de mode MS permettent au Maître de choisir les différents protocoles de transfert des données. Les trois lignes d'état de l'Esclave SS facilitent l'analyse des erreurs.

Muni d'un système d'arbitrage distribué, le Fastbus permet à tout module disposant des circuits nécessaires, de prendre le contrôle d'une interconnexion.

Deux protocoles d'interruption sont prévus dont l'un, la demande de service SR {service request}, est surtout destiné aux modules esclaves.

Les transferts se font sur 32 bits à une vitesse pouvant atteindre 80 MegaOctets/s avec une très grande variété dans les protocoles.

L'INTERCONNEXION DE SEGMENT SI {segment interconnect} permet le dialogue entre deux modules de segments différents (Câble-Chassis). Elle adapte les niveaux électriques et résoud les conflits d'adressage, de chronologie etc...

Le module Fastbus est environ 3 fois plus grand que le module CAMAC et la puissance disponible est de 2000 Watts par chassis, répartis sur des tensions d'alimentation de − 2 , + 5, − 5,2 et ± 15 Volts. Des densités de canaux de l'ordre de 96 ADC ou 8 à 32 Flash ADC par module peuvent être facilement obtenues. Les modules Maîtres sont des processeurs basés principalement sur les microprocesseurs de la série MC 68010 / 20 / 30.

Le Fastbus souffre essentiellement de sa généralité et de sa lente stabilisation soit :

1 − dialogue de segment à segment à travers le SI laborieux ;
2 − peu de matériel disponible sur le marché ;
3 − trop riche pour une utilisation industrielle ;
4 − pas toujours bien compris par ses utilisateurs.

Toutefois, il est bien adapté aux grandes expériences de physique des hautes énergies qui ont largement contribué à son développement. Comme pour CAMAC en 1970, la situation devrait s'améliorer bien que la part de marché qui lui est dévolue reste limitée au domaine de la recherche.

3.5 VME

Le VMEbus est un standard pour une interconnexion DE CHASSIS développé par Motorola, Mostek et Philips/Signetics, et qui a été accepté par près de 100 fabricants. Il occupait en 1986 la troisième position sur le marché des interconnexions de "fond de panier" avec 14 % des ventes.

C'est une interconnexion fixe asynchrone non-multiplexée en technologie TTL, avec 32 lignes d'adresse et 32 lignes pour les données réparties sur deux connecteurs. On en trouvera une description détaillée en référence /9/. Fortement inspiré par les bus internes des mini – ordinateurs des années 75 à 80, il n'est pas très bien adapté aux expériences de physique des particules car le standard ne définit pas d'interconnexion câble.

Cette lacune a favorisé l'utilisation d'interconnexions "privées" ; toutefois, le VSB {VME Subsystem Bus}, interconnexion auxiliaire fixe, récemment introduite par Motorola, permet d'alléger le traffic sur le VME et de concevoir des interconnexions câble de bonne qualité.

La sélection de mode se fait à l'aide des 6 ligne AM {Address Modifier} mais il n'y a qu'une seule ligne d'état de l'Esclave BERR {Bus ERRor} ce qui rend le traitement des erreurs long et difficile.

De plus, l'arbitrage par marcottage et l'absence d'adressage géographique compliquent l'utilisation du VME dans des systèmes faisant intervenir un grand nombre de canaux.

Les données peuvent circuler sur l'interconnexion à des vitesses voisines de 20 MégaOctets par seconde.

Les chassis ont, en principe, 20 stations et sont en mécanique "EURO" double hauteur. D'une puissance électrique et de dimensions comparables au CAMAC, c'est un STANDARD INDUSTRIEL bien implanté sur le marché et permettant de bénéficier rapidement de la puissance des microprocesseurs.

Plusieurs grandes expériences de physique des hautes énergies utilisent VME dont on peut dire qu'il est un concurrent sérieux du Fastbus pour la partie traitement de l'information. Sa grande diffusion sur le marché permet en effet aux expérimentateurs de bénéficier d'un bon choix dans le matériel et, plus particulièrement, d'utiliser les microprocesseurs les plus récents, donc les plus performants. L'expérience OPAL, sur le collisionneur LEP du CERN, fait un large usage de ce standard ; elle est présentée dans une autre partie de ce manuel.

3.6 CONCLUSIONS

Les trois standards présentés ci-dessus sont en fait assez différents les uns des autres ce qui apparaît déjà très clairement si l'on compare les tailles et les aspects extérieurs des modules présentés en figure 16 .

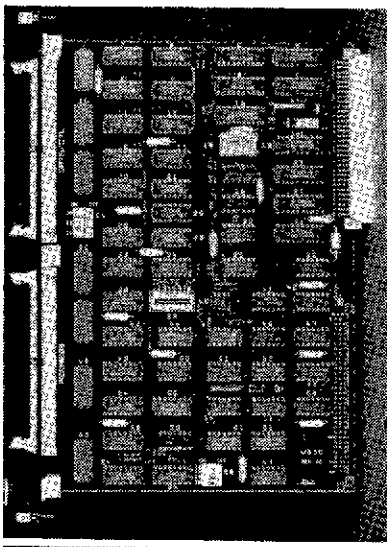
Le CAMAC reste un bon standard bien adapté au contrôle des détecteurs et bénéficiant de 15 années de développement tant dans le domaine du matériel que dans celui du logiciel. Il est recommandé de l'utiliser lorsque la taille du problème à résoudre le permet.

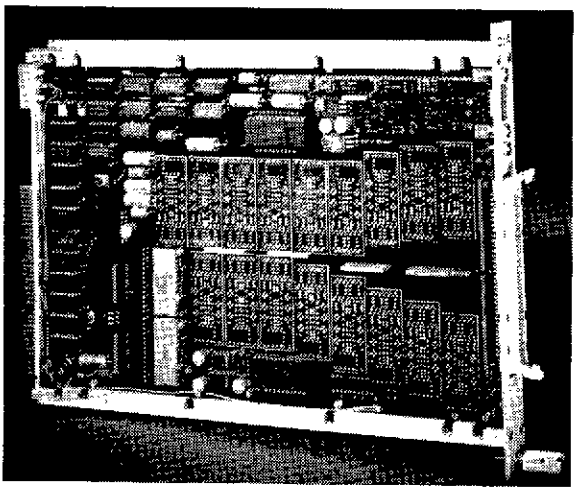
Le choix entre VME et Fastbus reste (et restera) difficile dans la mesure où ils ont peu d'avantages communs et tous les deux des faiblesses souvent gênantes.

La tendance générale est de faire coexister les trois standards dans un même système et on retiendra que :

1 – CAMAC n'est pas "mort" ;
2 – FASTBUS ou CAMAC sont bien adaptés à l'intégration des canaux de mesure ;
3 – VME est le meilleur choix pour le traitement des données.

On trouvera une comparaison des différentes interconnexions standardisées dans la référence /10/.





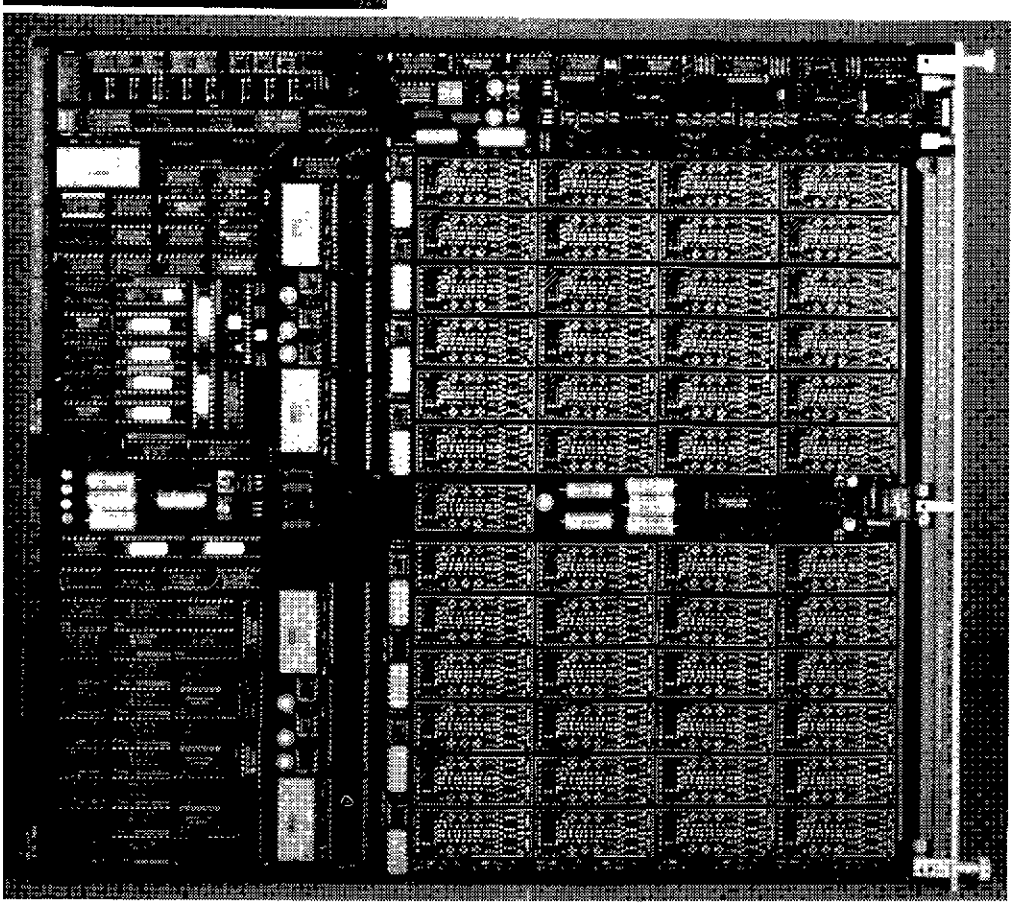


Figure 16: Photographies montrant un module VME (en haut, à gauche), un module CAMAC (en haut, à droite) et un module Fastbus.

4. SELECTION DES BONNES INTERACTIONS

4.1 INTRODUCTION

Un ensemble de raisons font qu'il n'est pas possible de considérer toutes les interactions soit :

- le système de stockage des événements a une capacité limitée (disques, bandes magnétiques...) ;
- beaucoup d'interactions correspondent à du bruit (FOND) ou à des événements sans intérêt ;
- les canaux de mesure ont un TEMPS MORT (dead time) prohibitif.

L'expérience "cible fixe" WA56 qui a pris place en 1979 sur l'accélérateur SPS du CERN en est un exemple simple. Dans cette expérience, un faisceau de 10^7 hadrons incidents ($p + \pi + K$) à 20 Gev/c interagissent dans une cible d'hydrogène pendant 2 secondes toutes les 12 secondes (temps de cycle de l'accélérateur). La réaction étudiée est :

$$\pi^+ \, p \rightarrow \Delta^{++}(\rightarrow p\pi^+) + M^0(\rightarrow \bar{p}p).$$

10% des pions incidents interagissent avec les protons de la cible mais ils donnent très rarement la réaction étudiée (et même jamais puisque l'analyse des données n'a montré aucun signe de l'existence de la particule M^0 !). Le Δ^{++} et le M^0 sont des particules à courte durée de vie qui se désintègrent immédiatement comme indiqué dans la réaction. La plus grande partie de l'impulsion incidente est transmise au proton secondaire du Δ^{++} qui présente une trajectoire rapide vers l'avant. Si l'on considère que le spectromètre produit environ 2000 Octets d'informations à chaque fois, le flot de données pourrait atteindre :

10^7 x 0,1 x 2000 / 12 soit 166 MégaOctets/s

Ce taux correspond à l'écriture d'une bande magnétique haute densité chaque seconde et il n'est même pas concevable actuellement. Un système Fastbus pourrait d'ailleurs à peine suivre un tel rythme.

En fait, on sait que dans les interactions $\pi^+ p$, à cette énergie et pour le flux considéré, 2 x 10^4 protons sont produits vers l'avant et qu'une sélection sur l'impulsion peut être faite à l'aide d'hodoscopes de compteurs (scintillation et Cerenkov). Cette sélection se fait avec des circuits logiques rapides et sans temps mort, donc sans perte d'interaction. Elle permet de déclencher les convertisseurs ADC et TDC en attendant qu'une analyse plus fine de l'événement soit faite.

Pendant quelques centaines de nanosecondes, la LOGIQUE DE DECISION analysera le nombre de particules secondaires (qui doit être de 4) ayant traversé le détecteur et calculera une valeur plus précise pour l'impulsion du proton. S'il se révèle que le candidat événement n'est pas acceptable, cette logique émettra un signal d'effacement rapide (Fast Clear) et n'interrompra pas le système d'acquisition de données.

La logique de décision fait donc une sélection des interactions afin de limiter le temps mort introduit par les canaux de mesure et de mémorisation si ceux-ci sont activés (GATE) trop souvent. La figure 17 est le schéma de principe de l'électronique "frontale" de la plupart des expériences. Afin de réduire le coût de l'installation, on réduit le nombre et la taille des circuits de retard par la technique de l'effacement rapide (Fast Clear). Ce type de logique est toutefois coûteux et manque de souplesse bien que certains systèmes modulaires aient été développés en CAMAC (au CERN le MBNIM, à FNAL l'unité ECL "Camac" MLU, chez LeCroy Research Systems la série ECL line).
Il est donc nécessaire d'étudier en détail les conséquences du temps mort.

4.2 LES PERTES PAR TEMPS MORT

Quel que soit le type d'expérience :

- Ejection "lente" sur cible fixe,
- Collisionneur,
- Rayons cosmiques.

Les interactions se produisent suivant la loi de Poisson de moyenne μ et dont la densité de probabilité est :

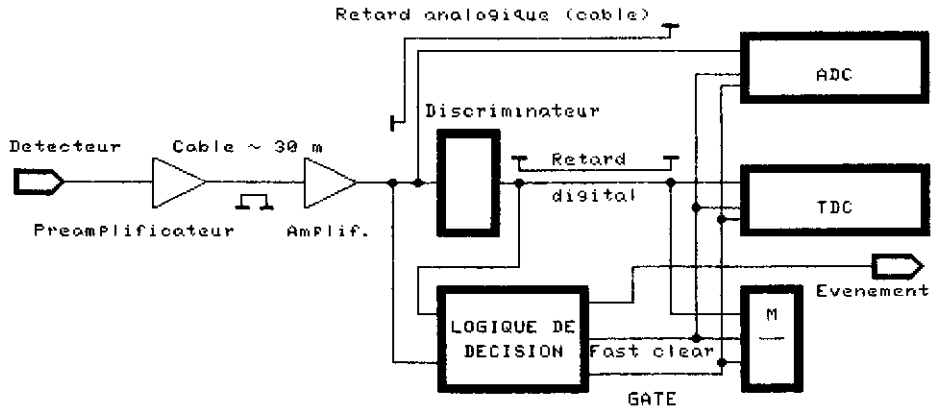


Figure 17: Schéma de principe de l'électronique associée au détecteur et permettant de sélectionner les interactions cherchées en limitant les pertes par temps mort.

$$P_{(r)} = \mu^r.e^{-\mu}/r!$$

avec :

- μ = Nombre d'interactions dans un temps donné t ;
- γ = Nombre moyen d'interactions par seconde ;
- $\mu = \gamma.t$;
- r = Nombre d'interactions.

Soit τ le temps mort du système de numérisation ou de lecture. Pour une interaction intéressante on perdra en moyenne $\gamma.\tau$ interactions par seconde car :

$$_0\Sigma^{\infty} r.P_{(r)} = {}_1\Sigma^{\infty} r.P_{(r)} = \mu = \gamma.\tau$$

Ces pertes sont illustrées par la figure 18 .

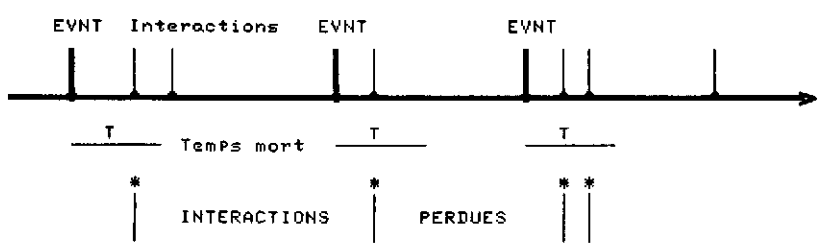


Figure 18: Le temps mort d'un système peut entrainer la perte d'un grand nombre d'événements.

Soit α le nombre d'événements acceptés par seconde, le rendement de l'acquisition ρ a pour expression :

$$\rho = \alpha/\gamma = 1/(1 + \gamma.\tau)$$

$$\text{d'où } \alpha = \gamma/(1 + \gamma.\tau)$$

On voit qu'en agissant sur le temps mort, on peut considérablement augmenter le nombre d'événements acceptés et, inversement, qu'il est inutile d'augmenter le nombre d'interactions puisque la limite de α quand γ tend vers l'infini est $1/\tau$.

La figure 19 illustre bien la baisse du rendement lorsqu'on passe de 0,1 μs à 1 μs de temps mort.

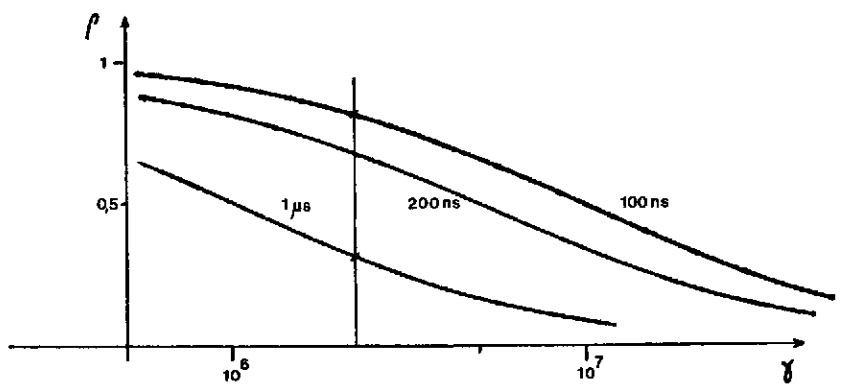


Figure 19: Abaque donnant le rendement ρ de l'acquisition en fonction du taux d'interaction γ et pour trois valeurs de temps mort τ.

On peut alors se demander ce qui se passe lorqu'une décision fait intervenir deux critères "en cascade", 1 et 2, de temps morts τ_1 et τ_2, filtrant les interactions avec des coefficients de réduction de taux β_1 et β_2 ($\beta_i << 1$).

Après la 1ere sélection, on a $\beta_1.\alpha$ événements soit :

$$\gamma_2 = \beta_1.\gamma/(1 + \gamma.\tau_1)$$

et après la deuxième, on a:

$$\gamma_3 = \beta_2.\gamma_2/(1 + \gamma_2.\tau_2)$$

soit :

$$\beta_1.\beta_2.\gamma/(1 + \gamma(\tau_1 + \beta_1.\tau_2))$$

On voit que :

1 – le temps mort de la sélection de premier niveau contribue de la même façon que s'il était seul (évident) ;
2 – le temps mort τ_2 voit sa contribution réduite d'un facteur β_1 (moins évident) ;
3 – cette solution est beaucoup plus efficace que celle consistant à avoir un seul temps mort $(\tau_1 + \tau_2)$ avec un taux de réduction $\beta_1.\beta_2$.

Ces formules très simples permettent de choisir la cascade de décisions qui maximise le taux d'événements acceptés par le système.

4.3 LES LOGIQUES DE PREMIER NIVEAU

Ce sont des logiques câblées fonctionnant en série {pipe-line} et, si possible, sans temps mort. C'est le cas des expériences "Cible Fixe" où des coincidences sur des compteurs Cerenkov ou à Scintillation permettent des facteurs de réduction compris entre 1/10 et 1/100, sans temps mort et avec des retards relativement courts (5 à 100 ns). Cette sélection est complétée par un second étage de déclenchement utilisant la technique du "Fast Clear" avec un temps mort $\tau < 1\ \mu s$.

L'instrumentation modulaire NIM (voir référence /11/) est largement utilisée pour ce type de logique.

Sur les collisionneurs actuels, les croisements sont à période fixe (4 μs CERN-SPS $\bar{p}p$, 22 μs CERN-LEP). Il est alors possible d'utiliser systématiquement le "Fast Clear" et de supprimer les retards tout en utilisant une décision ayant du temps mort (inférieur à la période bien évidemment). Cette situation durera jusqu'à ce que la nouvelle génération de collisionneurs arrive (SSC aux USA, LHC en Europe) ... date à laquelle il faudra revenir à des logiques ultrarapides ($\gamma > 10^6$ interactions/s).

Actuellement les décisions font aussi intervenir des critères analogiques tels que : énergie totale déposée dans un calorimètre, identification d'agrégats {clusters} ayant une énergie minimale et satisfaisant à des conditions topologiques caractérisant la particule recherchée.

LES LOGIQUES MODULAIRES sont apparues en 1978 aux Etats-Unis puis en Europe. Elles permettent de construire, à partir de ~5 fonctions élémentaires, un très grand nombre de logiques classiques et utilisent toutes une interconnexion en nappe de 16 signaux qui peuvent représenter indifféremment :

– des groupes de données binaires ;
– des adresses ;
– des valeurs numériques.

Les modules de base sont :

– l'ALU, une unité arithmétique et logique qui peut être utilisée pour faire le ET bit à bit de deux groupes de données (comparaison d'une topologie cherchée avec celle produite par l'évènement dans un hodoscope de compteurs) ;
– le PREDICTEUR (table de scrutation) permettant d'ASSIGNER une ou plusieurs positions de sortie à une position d'entrée ;
– la mémoire à accès aléatoire RAM de 4K x 16 bit, pour effectuer des opérations de calcul par table de scrutation (calcul de l'impulsion correspondant à la flèche d'une trajectoire) ;
– le REGISTRE DE COINCIDENCE pour mémoriser les éléments d'un hodoscope qui ont été traversés par une particule chargée ;
– le REGISTRE DE LECTURE pour mémoriser le résultat donné par la logique de décision.

On trouvera plusieurs exemples de ce type de logique dans la référence /12/.

4.4 LES LOGIQUES DE DEUXIEME NIVEAU

Il s'agit le plus souvent de décisions programmées travaillant sur les valeurs numériques lues dans les canaux de mesure par :

- des MICROPROCESSEURS
- des EMULATEURS des ordinateurs en ligne ou du centre de calcul voisin (un émulateur est un processeur capable d'accepter le code machine d'un ordinateur commercial).

On peut citer les microprocesseurs de la série 68000, les émulateurs du PDP11 développés par plusieurs laboratoires et universités /13/, les émulateurs de machines beaucoup plus grosses telles que les IBM 168 et 3081 /14/ etc ...

Les microprocesseurs sont le plus souvent installés dans les Contrôleurs Auxiliaires de Chassis CAMAC et sont toujours présents dans les modules Maîtres FASTBUS ou VME.

Le plus souvent, une étude détaillée du Temps Mort doit être faite (Monte-Carlo) en tenant compte des paramètres suivants :

- Temps de réponse à une interruption (50 μs) ;
- Temps de lecture et quantité de données ;
- Temps d'analyse et de réduction des données ;
- Temps de tranfert des données conservées vers les "étages supérieurs".

Il faut noter ici les problèmes d'occupation de l'interconnexion fixe qui, dans le pire des cas (aucune réduction du volume des données par le processeur), voit "passer" deux fois l'information. Ce problème, schématisé dans la figure 20, est résolu à l'aide d'un MAITRE TAMPON (Buffered Interconnect/FASTBUS) qui assure une liaison directe entre l'interconnexion fixe et l'interconnexion câble.

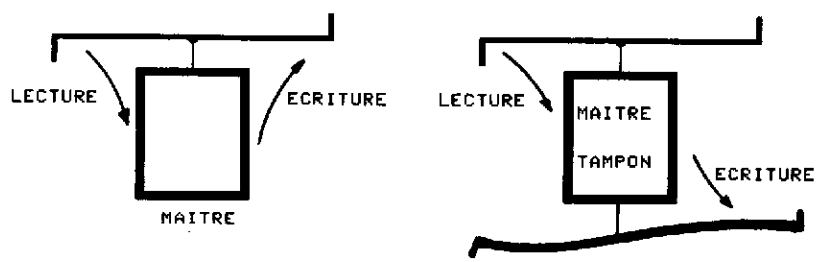


Figure 20: Le Maître Tampon (à droite) permet de doubler les taux de transfert de données lorsque le processeur ne peut pas en réduire la quantité de façon sensible.

4.5 CONCLUSIONS

On peut dire qu'une bonne architecture de sélection des événements devra réduire aux maximum les taux dans la logique de premier niveau tout en surveillant bien le fonctionnement de cette logique et surtout, les biais qu'elle peut introduire.

Il est aussi bon d'avoir une structure en "cascade" mais il faudra assurer une bonne synchronisation des blocs de données lors de leur circulation dans le système.

5. ARCHITECTURE DES SYSTEMES D'ACQUISITION DES DONNEES

5.1 LES PROBLEMES A RESOUDRE

On ne peut faire qu'une liste non-exhaustive.

Le contrôle suppose qu'on détermine les paramètres de fonctionnement des convertisseurs (ex. : ligne de base des ADC/FADC, temps zero des TDC ...) et du trigger (ex. : tables de calcul, tables de prédiction, annulation de la ligne de base, seuils, taux de déclenchement...).

Pour **la sélection** des événements, il y a lieu de répartir les critères de sélection entre le matériel {hardware} et le logiciel {software} de façon à trouver le meilleur compromis entre le temps mort, le volume, la puissance dissipée et le coût total.

Pour **la lecture** des événements, il faudra choisir les protocoles de lecture et le format des données, en n'oubliant pas les problèmes de synchronisation des blocs dans le cas des systèmes distribués et hiérarchisés.
On rappelle ici que le temps de réponse à une interruption est de 40 μs pour un Microprocesseur et qu'il peut atteindre 2 ms pour l'Ordinateur Hôte.

Il faudra prévoir **la réduction des données** (cas de plus en plus fréquent des Flash ADC) par élimination de la ligne de base et vectorisation des informations.

Dans certains cas, **la classification des événements** les plus importants devra être faite en ligne avec rangement dans des fichiers sur disque ou bande magnétique.

Enfin, **la surveillance** {Monitoring} permettra de déceler toute évolution anormale du matériel et du logiciel. On n'oubliera pas, à ce sujet, que le système de surveillance doit :

- être un ordre de grandeur plus fiable que ce qu'il surveille ;
- avertir le Physicien en cas de dérive significative ;
- permettre une identification et une localisation des problèmes ;
- permettre une modification des paramètres et des critères aussi simple que possible.

Le logiciel "ORACLB" utilisé par les détecteurs OMEGA et UA-2, au CERN est, à ce sujet, un très bon exemple dans la mesure où il permet :

1 – de donner des noms "clairs" aux blocs de données (exemple : CHAMBRE DE PAUL) ;
2 – de construire des histogrammes sur tout ou partie des données (et de les masquer si c'est nécessaire) ;
3 – d'activer ou arrêter, en ligne, les contrôles et les alarmes.

5.2 UN EXEMPLE D'ARCHITECTURE

La figure 21 correspond à une architecture idéale pour un grand système dans la mesure où elle n'est influencée par aucune contrainte autre que technique.

La logique de premier niveau (câblée) interrompt les processeurs tampons de lecture (modules Maîtres) qui :

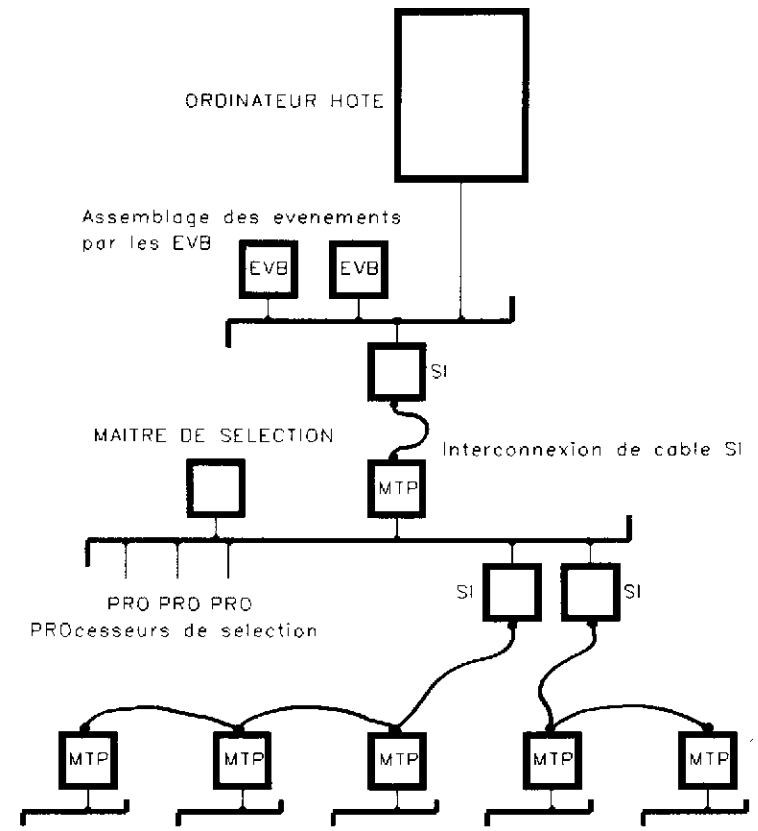


Figure 21: Exemple d'architecture d'une acquisition de données.

- lisent les données venant des Flash ADC, des ADC et des TDC ;
- corrigent le piédestal et suppriment la ligne de base ;
- structurent et trient les données dans le "tampon" de sortie avant d'informer le deuxième niveau qu'un bloc appartenant à un événement est prêt.

Les processeurs du second niveau font une analyse partielle des données sous contrôle d'un Maître de Sélection {trigger master} avant que les données soient dirigées vers des processeurs chargés de construire l'événement {event builders}. Les événements sont ensuite rangés sur support magnétique par l'ordinateur hôte.

Les fonctions de contrôle et de surveillance sont en général coordonnées par l'ordinateur hôte qui échange des messages avec des tâches spécifiques réparties dans tout le sytème.

5.3 LES RESEAUX LOCAUX

Les grands détecteurs sont rarement aussi bien structurés que celui présenté en 5.2 car :

- ils sont construits en association par plusieurs instituts (exemple: le projet OPAL au CERN-LEP auquel participent ~400 physiciens venant de laboratoires des USA, d'EUROPE et du JAPON) ;
- ils utilisent souvent du matériel existant qu'il faut alors intégrer dans le système (par exemple : grande variété de miniordinateurs).
- il faut respecter les individualités et distribuer le plus possible l'accès au système.

Les réseaux locaux {Local Area Networks LAN} relient entre eux, sur des distances moyennes de 1 km, plusieurs ordinateurs et microprocesseurs, permettant ainsi d'avoir accès à des bases de données qui ne pourraient pas résider localement.

ETHERNET, et sa version économique, {CHEAPERNET}, est le standard le plus utilisé. Ethernet est un réseau COAXIAL du type CSMA/CD {Carrier Sense Multiple Access/Collision Detection} ayant une vitesse de transfert de 10 M bit/s. Le protocole est tel que lorsque deux demandeurs prennent simultanément le contrôle du réseau, le préambule du transfert est perturbé et les circuits reconnaissent cette situation (niveaux logiques anormaux). Les demandeurs se retirent alors pendant un temps aléatoire avant de demander à nouveau le contrôle.

Les avantages d'Ethernet sont :

- sa grande vitesse ;
- son câble relativement simple ;
- sa très grande diffusion sur le marché ;
- son prix relativement bas ;

Son principal inconvénient réside dans le manque de souplesse mécanique du câble standard bien qu'on puisse utiliser dans beaucoup de cas la version Cheapernet.
Dans le cas de Microprocesseurs d'acquisition, Ethernet est essentiellement utilisé pour :

- la connexion de terminaux ;
- l'accès à des mémoires de masse ;
- le développement du Logiciel ;
- le contrôle et la surveillance ;
- l'analyse d'échantillons d'évènements.

5.4 LE FUTUR

A une époque où les systèmes informatiques ne cessent d'évoluer, on notera l'arrivée sur le marché des Micro VAX 3000 et des VAX 6200 de la société DEC ainsi que l'utilisation sans cesse croissante des terminaux graphiques à haute résolution. On peut aussi espérer que dans un avenir assez proche les bandes magnétiques pourront être remplacées par des cassettes et, peut-être, des mémoires de masse optiques (10 fois plus denses mais encore 2 fois plus coûteuses).

6. BIBLIOGRAPHIE

Il n'existe pas, à la connaissance de l'auteur, de manuel traitant du problème de l'interface entre le capteur et l'ordinateur. Les technologies évoluent très rapidement et il faut se contenter d'une compilation des articles publiés dans la revue "Nuclear Instruments and Methods in Physics Research", d'une part, et dans les "Proceedings of the IEEE Nuclear Science Symposium" d'autre part (publication chaque année au mois de février).

Les quelques références données ci-dessous permettront toutefois au lecteur d'acquérir une connaissance un peu plus détaillée des sujets qui ont été esquissés dans ce document.

7. REFERENCES

/1/ P.REHAK, Detection and Signal Processing in High Energy Physics, Proceedings of the International School of Physics "Enrico Fermi", G.Bologna and M.L.Vincelli, Editors, 1983, North-Holland Publishing Co.

/2/ H.H.WILLIAMS, Fast Analog Integrated Circuits for Particle Physics, IEEE Transactions on Nuclear Science, NS-35 (1988), pp 146-150.

/3/ A.BEER et al., Design of a Fast Gated Charge Integrating Front End for use in High Density CAMAC and Fastbus Modules, Nuclear Instruments and Methods in Physics Research A234 (1985), pp 294-301.

/4/ J.POUTHAS et M.ENGRAND, A Timing Discriminator for Channel Plate Electron Multipliers, Nuclear Instruments and Methods in Physics Research 161 (1979), pp 331-337.

/5/ J.T.WALKER et al., Microstore – The Stanford Analog Memory Unit, IEEE Transactions on Nuclear Science, NS-32 (1985), pp 616-621.

/6/ D.R.FREYTAG and J.T.WALKER, Performance Report for Stanford/SLAC Microstore Analog Memory Unit, IEEE Transactions on Nuclear Science, NS-32 (1985), pp 622-630.

/7/ E.HEIJNE and P.JARRON, A Low Noise CMOS Integrated Signal Processor for Multi-element Particle Detectors, CERN-EF 88-5 (1988), (submitted to the Fourteenth European Solid-State Circuits Conference, 21-23 September 1988, UMIST, Manchester, UK).

/8/ ANSI/IEEE, IEEE Standard FASTBUS Modular High-Speed Data Acquisition and Control System, Std 960-1986 (1986).

/9/ MOTOROLA, VMEbus Specification Manual MVMEBS/D1.

/10/ D.GUSTAVSON, High Performance Data Buses – Progress and Evolution, IEEE Transactions on Nuclear Science, NS-35 (1988), pp 326-328.

/11/ Atomic Energy Commission and National Bureau of Standards, Nuclear Instruments Modules, U.S. AEC report TID-20893, Juillet 1964.

/12/ F.BOURGEOIS, Modular Trigger Logic Techniques at the CERN Omega Spectrometer, IEEE Transactions on Nuclear Science, NS-27 (1980).

/13/ J.ANTHONIOZ-BLANC et al., User Aspects of MICE, Proceedings of the Topical Conference on the Application of Microprocessors to High-Energy Physics Experiments, CERN 81-07 (1981), pp 266-277.

/14/ P.F.KUNZ et al., The 3081/E Processor, CERN/DD/84/4, Avril 1984. ▽